

K1 – Zadaci 1,2,3,4

K2 – Zadaci 5,6,7,8

Integralni ispit – Zadaci 1,3,4,5,7,8

Na naslovnoj strani **obavezno** zaokružiti redne brojeve zadataka koji su rađeni i naglasiti izbor ispita.

1. Trajanje ispita 180 minuta.
2. Ispit se radi u vežbanci.
3. Dozvoljena je upotreba kalkulatora.

*Napomena: Sve realizacije je potrebno nacrtati i obeležiti odgovarajuće signale.*

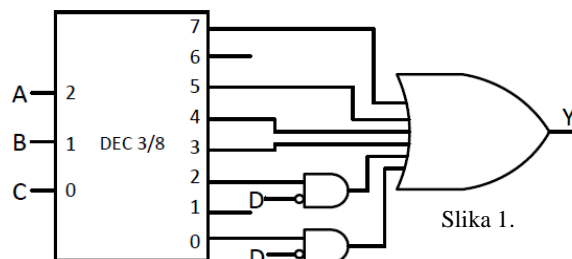
### 1. Zadatak (a -6, b - 5, c - 8, d - 6 poena)

a) Data je funkcija  $Y = f(A, B, C, D)$  na slici 1. realizovana pomoću dekodera 3/8. Popuniti Karnoovu kartu za funkciju  $Y$  i odrediti njen izraz u minimalnoj formi u obliku proizvoda zbirera.

b) Predstaviti funkciju  $Y$  u obliku zbira proizvoda i realizovati je ukoliko su na raspolaganju samo NI logička kola i prave vrednosti signala. Težiti da funkcija i broj upotrebljenih kola budu minimalni.

c) U realizovanoj šemi iz tačke b) proveriti da li postoji mogućnost pojave statičkih hazarda i pri kojim prelazima? Ukoliko postoji nacrtati vremenski dijagram na kome se vidi pojava statičkog hazarda i korigovati funkciju  $Y$  tako da se ukloni mogućnost pojave statičkih hazarda.

d) Realizovati funkciju  $Y$  korišćenjem samo jednog multipleksera 8/1 čiji su selekcionni signali aktivni u logičkoj nuli.



### 2. Zadatak (a - 8, b - 7, c - 10)

a) Projektovati kolo kodera prioriteta sa 8 ulaza i aktivnim logičkim jedinicama na ulazima.

b) Projektovati kolo specifičnog dekodera sa 8 izlaza koji osim selektovanog izlaza daje logičke jedinice i na svim izlazima sa nižim indeksima.

c) Projektovati kolo koje dekrementira 8bitni neoznačeni binarni broj korišćenjem kola niskog stepena integracije i kola projektovanih u tačkama a) i b). Nije dozvoljena upotreba sabirača i operacije sabiranja. Detektovati prekoračenje opsega.

### 3. Zadatak (a - 6, b - 7, c - 3, d - 5, e - 4 poena)

*Napomena: Ukoliko broj nema oznaku KMV, KO ili ZA u indeksu smatrati da je neoznačen.*

*BITNO: Svaki račun prikazati korak po korak u osnovi u kome su brojevi dati.*

*Bez detaljnog postupka rešenje zadatka je nevažće.*

a) Odrediti odnose između sledećih izraza, ukoliko je na raspolaganju 6 bita

- $100101_{KMV} - 010111_{KMV} \quad 101101_{KO} + 101011_{KO}$
- $010011_{ZA} + 111100_{ZA} \quad 110101_{KO} - 001100_{KO}$

*Napomena: Ukoliko dođe do prekoračenja, naznačiti to i nastaviti sa šestobitnim dobijenim rezultatom.*

b) Odrediti odnose između sledećih izraza, ukoliko je na raspolaganju proizvoljan broj cifara

- $1001\ 0011_{BCD8421} + 0110\ 1001_{BCD8421} \quad 1032_{4KMV} - 2101_{4KMV}$
- $100011_{KO} * 011110_{KO} \quad 514_{7KO} - 306_{7KO}$

c) Ukoliko je dat kod sa *Hamming*-ovim rastojanjem  $Hd = 6$ , odrediti koliko je maksimalno moguće bita korigovati? U slučaju date maksimalne korekcije na koliko bita je moguće detektovati grešku?

d) Dat je binarni broj  $X$  kodovan *Hamming*-ovim kodom sa rastojanjem 4: 0111 0111 0001 1010. Ukoliko je moguće, odrediti vrednost broja  $X$  i zapisati je u BCD2421 kodu.

e) Vrednost 721 zapisati u *Gray*-ovom binarnom kodu i zaštititi je *Hamming*-ovim kodom sa rastojanjem 3.

### 4. Zadatak (a-6, b-7, c-12 poena)

a) Nacrtati realizaciju potpunog jednobitnog sabirača korišćenjem kola malog stepena integracije.

b) Korišćenjem samo komponenti iz tačke a) realizovati sabirač trobitnih neoznačenih brojeva. Ako je kašnjenje kola niskog stepena integracije  $t_p$  izračunati maksimalno kašnjenje sabirača.

c) Korišćenjem komponenti iz tačke b) i kola niskog stepena integracije realizovati množać neoznačenih trobitnih brojeva. Korišćenjem rezultata iz tačke b) izračunati maksimalno kašnjenje množaća.

### 5. Zadatak (a – 5, b – 5, c - 5, d – 5, e- 5 poena)

CMOS tehnologija – 180nm,  $V_{DD} = 2.7V$ ,  $\mu_n = 417 \frac{cm^2}{Vs}$ ,  $\mu_p = 85 \frac{cm^2}{Vs}$ ,  $V_{Tn} = 0.45V$ ,  $V_{Tp} = -0.45V$ ,

$$k_n = 351 \times 10^{-6} \frac{A}{V^2}, k_p = 71 \times 10^{-6} \frac{A}{V^2}, \quad \lambda_n = \lambda_p = 0 \frac{1}{V}, \quad E_{Cn} = 3.8 \times 10^5 \frac{V}{cm}, E_{Cp} = 18.8 \times 10^5 \frac{V}{cm}$$

- odrediti širinu kanala  $W_p$  tako da prag odlučivanja logičkog CMOS invertora,  $V_s$ , bude približno jednak polovini napona napajanja;
- izvesti izraze i izračunati dinamičke otpornosti  $p$  i  $n$  kanalnog tranzistora potrebne za procenu kašnjenja;
- izračunati struju kratkog spoja u CMOS invertoru iz tačke a)
- kako se menjaju rezultati u tački a), b) i c) ako se širine kanala oba tranzistora povećaju 10 puta.
- izračunati disipaciju kratkog spoja u CMOS invertoru iz tačke a), ako se na ulazu nalazi signal učestanosti 1GHz, čije je vreme uspona i pada jednako 10ps.

### 6. Zadatak (a -9, b – 8, c – 8 poena)

a) Za kolo sa slike 6. odrediti logičku funkciju kola i režime rada svih tranzistora za sve kombinacije logičkih nivoa na ulazu kola. Nije dovoljno pretpostaviti režime rada već treba dokazati računom.

b) Odrediti strujne kapacitete logičke nule  $I_{CAP0}$  i jedinice  $I_{CAP1}$  za napone na izlazu  $V_{OLmax} = 0.25 V$  i  $V_{OHmin} = 1.9 V$ .

c) Odrediti kašnjenje rastuće i opadajuće ivice,  $t_{pLH}$  i  $t_{pHL}$ , ako je ekvivalentna parazitna kapacitivnost na izlazu kola  $C_p = 15 pF$ .

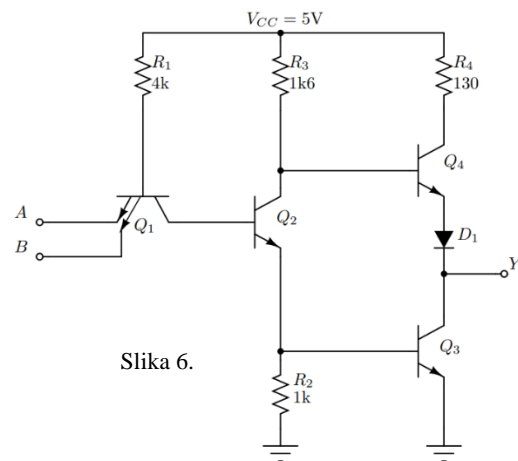
Napomena: Odrediti sve potrebne parametre i na osnovu njih dati odgovor. Postupak je neophodan.

Parametri tranzistora i diode su

$$V_{BE} = V_D = 0.7V, V_Y = V_{DY} = 0.6V, V_{BES} = 0.8V, V_{CES} = 0.2V, \beta_F = 50, \beta_R = 0.1$$

Koristiti sledeće skraćenice za označavanje režima rada tranzistora: **ZAK** – zakočenje, **DAR** – direktan aktivni režim, **ZAS** – direktno zasićenje, **IAR** – inverzni aktivni režim, **IZAS** – inverzno zasićenje.

Koristiti sledeće skraćenice za označavanje režima rada dioda: **ON** – provodi, **OFF** – zakočena.



Slika 6.

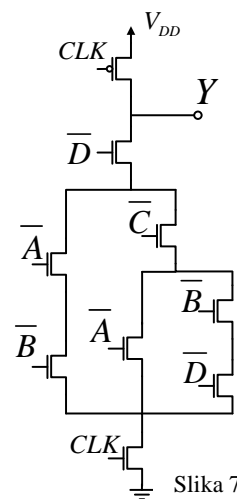
### 7. Zadatak (a – 6, b – 7, c – 6, d – 6 poena)

a) Na slici 7. data je realizacija funkcije Y kao jednostepeno dinamičko CMOS kolo. Odrediti minimalni oblik funkcije Y u obliku zbira proizvoda.

b) Projektovati statičko CMOS kolo koje realizuje funkciju Y. Na ulazu nisu dostupne negacije logičkih promenljivih, već samo njihove prave vrednosti. Težiti da broj upotrebljenih tranzistora bude minimalan.

c) Realizovati funkciju Y u domino logici ukoliko su na raspolaganju samo dvoulazna logička kola realizovana u domino logici. Dostupne su samo prave vrednosti signala.

d) Realizovati funkciju Y pomoću transmisionih gejtova.



Slika 7.

### 8. Zadatak (a -5, b – 6, c- 6, d - 8 poena)

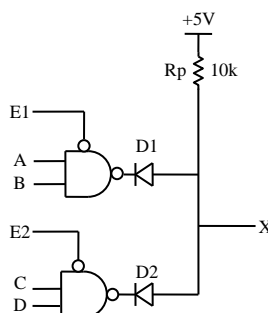
Na slici 8 je prikazana logička šema dela digitalnog uređaja posle izvršenih »neophodnih« modifikacija. Originalna realizacija ne sadrži diode D1 i D2 (bila je kratka veza), međutim zbog greške u projektovanju bilo ih je neophodno dodati. Upotrebljena logička kola su u standardnoj CMOS tehnologiji.

a) Odrediti logičke funkcije izlaza X uređaja sa slike 8a) pre modifikacije za  $E1=E2=1$  i  $E1 \neq E2$ . Šta se desilo uređaju kada je bilo  $E1=E2=0$ ?

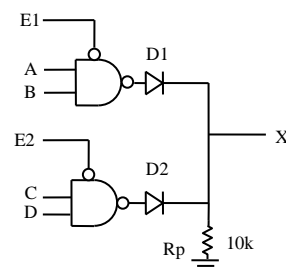
b) Odrediti logičku funkciju izlaza X sa slike 8a) posle modifikacije odnosno dodavanja dioda D1 i D2. Da li sada može da se desi »nezgodna« situacija iz tačke (a). Kakvi su novi logički nivoi na izlazu X u poređenju sa standardnim CMOS kolom?

c) Odrediti logičku funkciju izlaza X sa slike 8b). Kakvi su novi logički nivoi na izlazu X u poređenju sa standardnim CMOS kolom?

d) Odrediti logičku funkciju izlaza X sa slike 8a) i 8b) ako se ukloni otpornik  $R_p$  i ostavi otvorena veza.



Slika 8a.



Slika 8b.